

一种高速数据采集处理系统的设计与实现

向建军,许蕴山,夏海宝

(空军工程大学 工程学院电子工程系,陕西 西安 710038)

摘 要: 根据处理流程的并行可分性进行任务规划,提出了一种基于共享存储器的高速数据采集处理系统的设计方案.系统采用双数字信号处理器(DSP)流水线体系结构,一个 DSP 单元负责多路外部总线的信号采集、数据校验与过滤,另一个 DSP 单元完成数据运算、综合评估,二者并行工作大大提高系统的处理能力,能很好的满足快速实时数据采集和高效任务处理的需要.

关键词: 数字信号处理器;共享存储器;流水线;并行处理

中图分类号: TP409

文献标识码: A

文章编号: 1000-7180(2010)12-0149-04

Design and Implement of High-speed Data Acquisition and Processing System

XIANG Jian-jun, XU Yun-shan, XIA Hai-bao

(Department of Electronics Engineering, Air Force Engineering University, Xi'an 710038, China)

Abstract: According to the parallel division of processing flow to make task layout, this paper gives a design scheme of high-speed data acquisition and processing system based on share-memory. In two DSPs streamline system structure, one is for signal acquisition, data checkout and filter, the other fulfills data computing and complex evaluation. The two DSPs parallel-working enhances system processing ability greatly and satisfies the demand of real-time data acquisition and task processing effectively.

Key words: DSP; share-memory; streamline; parallel processing

1 引言

数字信号处理器(DSP)由于集成度高、运算速度快、性能稳定、外设丰富等特点,使其在数字信号处理领域得到了广泛的应用.文中针对采集通道多、数据运算量大、处理实时性要求高的特点而采用具有分散计算特征的双 DSP 并行结构,实现了对单片 DSP 性能的扩展,较好的解决了多路信号总线实时数据采集与处理的关键问题^[1].

2 高速数据采集处理系统的方案

本系统设计中应用的主处理芯片为 TMS320C67XX,是 TMS320DSP 家族中速度最快的处理芯片. TMS320C67XX 芯片采用 VelociTI 结构,该结构是一种高性能、先进的 VLIW(超长指令

字)结构,多个功能单元并行工作,所有功能单元共享公用的大型寄存器堆.同时, TMS320C67XX 芯片为用户提供了丰富的硬件与软件资源使其成为多通道和多功能应用的最佳选择.

在进行高速数据采集处理系统的设计时,多路高速总线信号采集、数字校验滤波、信号分析运算、多源综合评估等工作需要实时处理,采用单个 DSP 难以完成数据实时采集与处理,需要采用多个 DSP 并行互联^[2-3]以实现信号采集与数据处理的并行工作.本系统总体设计应用多处理器并行处理技术,根据任务划分采用多个并行单元的模块化结构,主要包括:数据采集单元、信息处理单元、共享存储器、交联接口电路、二次电源等.系统总体结构如图 1 所示.

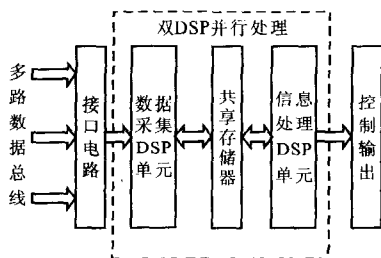


图1 系统总体结构

3 系统的硬件设计

高速数据采集处理系统对载机上具有不同数据交联接口的多路总线数据进行实时采集和处理,能够完成对载机飞行状态和工作性能的实时监控和综合分析。系统采用双 DSP 来实现并行处理,通过双端口存储器直接互联的方式进行大数据量的数据传输。系统主要由两个 DSP 单元构成,一个 DSP 单元负责多路总线数据的实时采集、校验过滤和数据帧的打包处理;另一个 DSP 单元模块完成数据的分析计算、综合评估以及输出提示。

两个 DSP 单元均以 TMS320C67XX 处理器为独立的控制中心,外部扩展了 2MB 的 FLASH 存储应用程序,16MB 的 SDRAM 用于运行应用程序,采用可编程逻辑器件 EPM7128 完成单元内部的逻辑管理和控制,并根据数据采集的需要扩展了相应的交联接口芯片和总线驱动芯片,如图 2 所示。

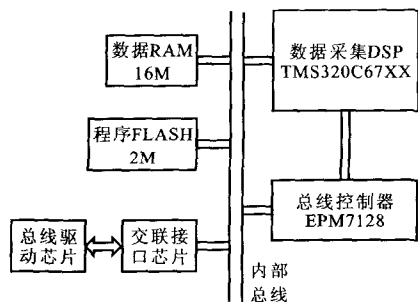


图2 DSP单元的硬件结构

系统采用双端口存储器 IDT7025L 芯片来完成两个 DSP 独立单元的数据传输交互。芯片 IDT7025L 是存储容量为 16K、数据宽度为 16BIT 的双口存储器,可实现 8 位或 16 位的数据通信,通信速度可达 4Mbps。利用双端口存储器实现数据传输的关键是解决共享存储器同时被访问时的竞争使用问题。芯片 IDT7025L 允许从 2 个端口同时读写任何存储单元^[4],但当两个端口同时读写或一读写同一地址单元时,容易发生错误。为避免错误的出现,芯片 IDT7025L 通过 BUSY 管脚来处理这种情

况,在左右 2 个端口对不同存储空间进行读写操作时,可同时存取,此时左右端口的 BUSY 信号同时置高。若对同一空间同时进行存储操作时,哪一端的存储要求信号先出现,则该端 BUSY 信号置高,允许存储;哪一端存储信号后出现,则该端 BUSY 信号置低,禁止存储。双端口存储器的硬件设计如图 3 所示。

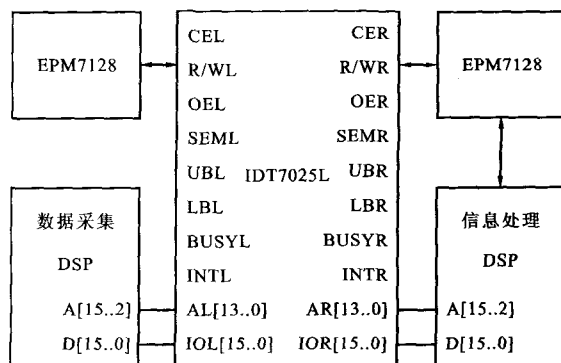


图3 双端口存储器的硬件设计

两个 DSP 单元采用流水线工作方式,由数据采集 DSP 单元实时采集多路总线数据、进行数据解析和滤波计算,并将预处理结果打包为一个有效的数据帧后,及时地将处理结果通过双端口存储器传送给信息处理 DSP 单元。信息处理 DSP 单元根据接收到有效数据帧进行多路数据计算、综合处理和实时评估并在适当的时候产生相应的输出控制。

由于采集的数据通道多、总线速率高,两个 DSP 单元之间进行数据传输的数据量大。如果为使信息处理 DSP 单元能及时响应数据采集 DSP 单元的请求而完全采用中断的方式进行数据传输,那么将会引起持续频繁的中断,会引起数据传输的不可靠。为了避免数据传输不可靠问题的发生,两个 DSP 单元之间的数据传输交互采用查询方式完成。在设计中结合多路数据采集的并行可分性,将双端口存储器划分多个数据区,每一个数据区对应一个特定的数据采集通道,每一个数据采集通道分配有自己特有的查询标志,使不同采集通道的数据传输具有独立性而互不影响,从而保证了数据传输的可靠性。

4 系统的软件设计与优化

系统采用 CCS (Code Composer Studio) 作为 DSP 芯片的开发软件。CCS 是 TI 公司提供的一款功能非常强大的 DSP 软件开发工具,它提供配置、建立、调试、跟踪和分析程序的功能,便于实时、嵌入

式信号处理程序的编写和调试,它不仅支持 C 语言和汇编语言的开发,还支持 C 语言与汇编语言的混合开发。C 和汇编混合编程结合了各自的优势,常能构造出结构好且执行速度快的程序,也是目前 DSP 和其他嵌入式处理软件的最流行和高效的开发方式。高速数据采集处理系统的软件采用 C 语言编写,关键算法进行汇编优化,并根据 TMS320C67XX 系列处理器特点采用 Cache 优化、线程规划来充分发挥 DSP 芯片的性能。同时根据系统的任务规划和硬件单元的功能划分,软件采用模块化设计便于软件的升级与维护。

4.1 系统软件的设计与流程

高速数据采集处理系统是基于外部数据(事件)的触发处理方式,两个 DSP 单元采用流水线并行工作方式。当系统上电后,两个 DSP 单元首先进行单元的初始化。初始化过程完成对单元模块内部硬件接口电路、DSP 芯片参数的设置和变量初始值的设定,其中重要的是对定时器中断及外部中断的初始化设置。接着进入主程序的循环处理状态,等待外部数据(事件)的触发。数据采集 DSP 单元的总线数据采集程序采用中断接收方式。当外部机载数据总线上有数据传输时,则通过接口电路检测到新的总线数据而引发采集中断子程序,并将采集数据进行缓存后才结束中断处理。数据采集 DSP 单元在主程序中进行采集数据的预处理,如果判断采集到外部总线数据,则进行数据的校验、过滤、打包等处理,然后将预处理后的数据帧按照任务划分写入相应的双端口存储器分区,并将对应的数据通道查询标志置为有效,以通知信息处理 DSP 单元接收新的数据帧。信息处理 DSP 单元在主程序的循环处理中检测查询标志是否有效,当判断查询标志有效时,表明有新的数据帧的到来,则从相应的双端口存储器分区中读取数据采集 DSP 单元传送的数据帧,进而完成对数据帧的分析计算、综合评估以及提供相应的输出信息,并将查询标志置为无效以保证读取数据帧的更新。系统软件的总体流程如图 4 所示。

为了提高系统工作的稳定性,两个 DSP 单元都分别设置了代表单元自身工作状态的心跳信号(Heartbeat),并且将心跳信号写入到特定地址的双端口存储器中。两个 DSP 单元都通过双端口存储器去获取对方心跳信号的状态。当检测到对方心跳信号异常后,表明对方 DSP 单元工作不正常,则通过外部电路控制让对方 DSP 单元进行复位重启。同时,两个 DSP 单元在主程序运行过程中对关键的计

算参数和工作模式进行记录保存,设置冷热启动标志,在 DSP 单元上电后进行冷热启动的处理判断,恢复到重新启动前的状态,使系统具有故障快速恢复的特性。

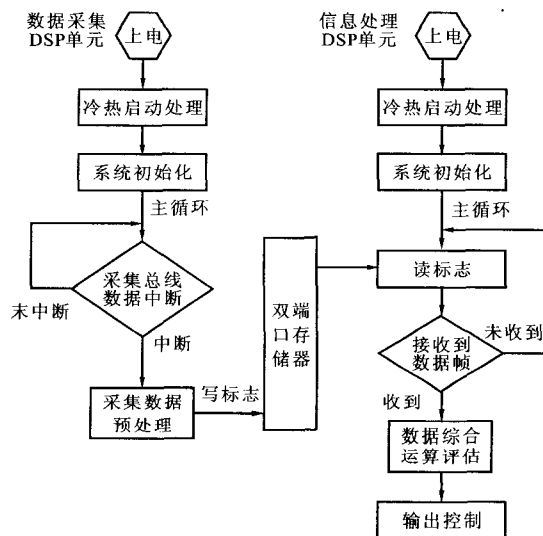


图 4 系统软件的流程图

4.2 软件设计的优化策略

在高速信号采集处理中,软件的处理速度是系统设计中考虑的关键因素,根据 DSP 的特点优化程序设计非常重要^[5-6]。

(1) 处理算法的优化

核心处理算法的优化是提高性能的有效手段。在数据采集与处理中,信号采集、数据滤波、综合分析计算等过程是占用时间最多的程序,这部分程序的优化对整个系统性能的提高至关重要。在进行系统程序设计时需要详细测定每一部分程序的运行时间,分析程序的合理性;在算法设计中,尽量直接得到最终结果,避免不必要的中间环节计算。

(2) 化解程序流水线的相关

TMS320C67XX 有 6 级流水线,一条指令的执行速度为 6.67ns(150MHz 时),程序在按照流水线方式执行时,循环指令、跳转指令、写后的读操作、对端口的写然后读(状态)操作,都会引起数据、状态相关,这些可能影响程序的执行速度甚至会带来错误的执行结果。因此,在程序设计时必须考虑化解这些相关,可在这些指令之间增加一些空操作,保证前一条指令执行完后才执行下一条指令。

(3) 数据打包处理

数据打包处理是指使用宽长度的存储器访问短字长的数据,DSP 访问存储器是很耗时的,也是影响系统实时性的重要因素。对系统进行优化,就要提

高 DSP 的数据处理速率,因此要求一条存取指令能够对多个数据进行操作。例如,数据采集处理系统采集的是字符型(8B)数据流,而进行数据交换的双端口存储器是短整型(16B)数据,利用数据打包可以一次存储和读取两个字符型(8B)数据,使访问存储器的时间减少了一半,提高了系统的实时性,这种数据处理方式对大容量数据传输的效果改善更显著。

5 结束语

文中以 TI 公司的 TMS320C67XX 芯片作为开发平台,采用双端口存储器作为数据传输通道实现双 DSP 单元的紧耦合互联,实现了一种高速数据采集处理系统,适合于大容量数据通信的双处理器系统。系统已经推广应用于某型飞机的综合训练实时评估中。实践证明,系统对多路总线数据的实时采集精度高、速度快、运行稳定可靠。

参考文献:

- [1] 张英武,郭天雷,袁国顺. 高可靠微处理器的设计[J]. 微电子学与计算机, 2009, 26(1): 59-62.

- [2] 司栋森,李增智,牛胜芬,等. 基于双 DSP 的高速数据采集控制器的设计[J]. 计算机工程, 2006, 32(22): 227-228.
- [3] 贺占庄. 一种多处理器并行计算机系统的设计[J]. 微电子学与计算机, 2006, 23(2): 198-200.
- [4] 丁双喜,张盛兵,贾宝峰. 双通道流水线 FLASH 存储系统的设计[J]. 微电子学与计算机, 2008, 25(8): 224-228.
- [5] 张洁. Blackfin DSP 在高速数据采集中的应用[J]. 电子测量技术, 2007, 30(2): 133-134.
- [6] 张雄伟,曹铁通. DSP 芯片的原理与开发[M]. 2 版. 北京:电子工业出版社, 2000.

作者简介:

向建军 男, (1975-), 博士. 研究方向为并行计算与实时系统集成、雷达信号处理.

许蕴山 男, (1968-), 硕士生导师. 研究方向为雷达信号处理与检测.

夏海宝 男, (1970-), 硕士生导师. 研究方向为雷达信号处理与检测.

(上接第 148 页)

在功能验证无误的情况下,文中采用 Verilog HDL 语言构建了寄存器传输级模型,并采用 Synopsys 公司 DC 综合工具完成了电路的前端设计. 综合采用 SMIC 公司 0.18 μm 工艺库,时钟频率达到 132.13MHz,芯片面积约为 455 303 μm^2 ,满足目前 3G 通讯中对译码速率的要求。

5 结束语

文中通过对 Turbo 码译码算法的改进,可将译码时延缩短 1/3,译码性能没有损失,能有效地节省存储资源. 基于分块的滑动窗算法能最大限度的降低译码时延和译码功耗,并降低对存储器资源的需求,在对译码时延,译码性能要求高的通讯系统中有较高的实用价值。

参考文献:

- [1] Peter Sweeney. 差错控制编码[M]. 俞越,张丹,译. 北京:清华大学出版社, 2004.
- [2] 刘东华. Turbo 码原理与应用技术[M]. 北京:电子工业出版社, 2004.

- [3] 冯芒,阎鸿森. 一种低功耗的 Turbo 码译码算法[J]. 西安交通大学学报, 2004, 38(10): 1081-1085.
- [4] 姚如贵,王永生,徐娟. 分组相关快衰落信道下自适应 Turbo 码译码算法研究[J]. 微电子学与计算机, 2005, 22(6): 94-97.
- [5] Dimitris Ampeliotis, PKostas Berberidis. Low complexity turbo equalization for high data rate wireless communications[J]. EURASIP Journal on Wireless Communications and Networking, 2006(2): 1-6.
- [6] Xavier Jaspas, Luc Vandendorpe. Turbo techniques for joint source-channel decoding of multimedia content [C]// Proceedings of the 2nd international conference on Mobile multimedia communications. Alghero, 2006 (7): 1-6.

作者简介:

仵林博 男, (1983-), 硕士研究生. 研究方向为信息编码和 IC 设计.

朱怡安 男, 博士生导师. 研究方向为计算机网络、并行计算.

田杭沛 男, 博士研究生. 研究方向为 DSP 体系结构.